

# Austrochip 2004 – Tagungsprogramm

Donnerstag, 07. Oktober 2004

---

---

- 15:00 – 17:15 Fertigungsführung und Besichtigung der Entwicklungslabors bei Infineon  
Treffpunkt: Empfang Haupteingang Infineon Villach, Siemensstraße 2
- 18:00 Besichtigung der Fachhochschule Technikum Kärnten  
Treffpunkt: Haupteingang der FH, Europastraße 4, Villach - St. Magdalen  
(für Transfer Infineon – FH wird gesorgt)

Anschließend Buffet an der FH Technikum Kärnten

Freitag, 08. Oktober 2004

---

---

- Ab 8:00 Registrierung  
8:45 – 8:55 Begrüßung  
8:55 – 9:00 Eröffnung
- 

9:00 – 9:50 **Eingeladene Vorträge** **E. Ofner**

9:00 – 9:25 *Systematischer IC Entwurf und die Realität*  
D. Draxelmayr, Infineon Technologies

9:25 – 9:50 *Mixed-Signal Integrated Circuits for Low Power, Battery Driven Applications*  
R. Forsyth, *austriamicrosystems AG*

---

9:50 – 10:50 **Session 1** **M. Ley**

9:50 – 10:10 *The Usage of “Modulated Steady-State” Algorithm for Accurate RF Mixed Signal Chip Level Verification*  
M. Sida, C. Desclèves, G. Clemens, R. Ahola

10:10 – 10:30 *Automatisierte Erzeugung von asynchronen Schaltungen*  
R. Jährgig, W. Anheier

10:30 – 10:50 *Automatic Synthesis of a Pipeline ADC Using a Layout Orientated Synthesis Methodology*  
S. Thiel, N. Ay, H. Klar, P. Wennekers

---

10:50 – 11:20 Erfrischungspause

---

11:20 – 13:00 **Session 2** **A. Buslehner**

11:20 – 11:40 *A Power Optimized 14-Bit Switched Capacitor Delta-Sigma Modulator for ADSL CO Applications*  
R. Gaggl, A. Wiesbauer

- 11:40 – 12:00 *A 62mW 12b 60MS/s Pipelined ADC in 0.13 $\mu$ m CMOS*  
P. Bogner
- 12:00 – 12:20 *A Low Power 1.4 GSample/s Comparator for Flash-ADCs in 120nm CMOS Technology*  
B. Goll, H. Zimmermann
- 12:20 – 12:40 *A Programmable Low-Noise, Low-Power Operational Amplifier in a 0.35  $\mu$ m CMOS Technology*  
C. Bronskowski, D. Schroeder
- 12:40 – 13:00 *On the Design of Excess Loop Delay Compensation Circuits in Continuous-Time Sigma-Delta Modulators*  
A. Di Giandomenico, A. Wiesbauer, M. Clara, S. Patón,  
B. L. Hernández, F. Corsi
- 

13:00 – 14:30 Mittagessen

---

14:30 – 15:30 **Session 3**

**T. Ostermann**

- 14:30 – 14:50 *A Four Channel ADSL2+ Analog Front End for CO Applications with 75mW per Channel built in 0.13 $\mu$ m CMOS*  
P. Pessl, J. Hohl, R. Gaggl, A. Marak, G. Glanzer, A. Kahl,  
S. Walter, J. Hauptmann
- 14:50 – 15:10 *An Analysis of a Low-Complexity Received Signal Strength Indicator for Wireless Applications*  
P. Singerl, C. Vogel
- 15:10 – 15:30 *Compact Modelling for SiGe BiCMOS Technologies*  
E. Seebacher, G. Rappitsch, Z. Huszka, K. Molnar, W. Pflanzl
- 

15:30 – 16:30 Postersession, Kaffeepause

---

16:30 – 17:50 **Session 4**

**K. Posch**

- 16:30 – 16:50 *Substrate Noise Reduction for SoC Solutions on Standard Deep-Submicron CMOS Technologies*  
G. Fritz, R. Mostögl, R. Gaggl
- 16:50 – 17:10 *A Masked AES ASIC Implementation*  
N. Pramstaller, E. Oswald, S. Mangard, F.K. Gürkaynak, S. Häne
- 17:10 – 17:30 *FPGA Design für ein Hochleistungsbildverarbeitungssystem*  
P. Rössler, C. Eckel, H. Nachtnebel, J. Fürtler, K. Mayer, J. Brodersen,  
G. Cadek
- 17:30 – 17:50 *A Universal and Efficient SHA-256 Implementation for FPGAs*  
N. Pramstaller, M. Aigner
- 

17:50 - 17:55 Schlussbemerkung und Vorschau auf die Austrochip 2005

15:30 – 16:30

Postersession

*A New Stochastic Neuron Architecture for Efficient FPGA Implementation*

M. Martincigh, A. Abramo

*SoC-Mobinet, R&D and Education in Systems-on-Chip Design*

E. Ofner, A. Blaickner

*Abschätzung und Optimierung der Energieaufnahme von Speicherzugriffen auf unterschiedlichen Abstraktionsebenen*

U. Neffe, K. Rothbart, C. Steger, R. Weiss, E. Rieger,  
A. Mühlberger

*Das "Missing Link" der EMV zwischen Geräte- und IC-Ebene*

T. Ostermann, B. Deutschmann, K. Lamedschwandner,  
G. Winkler

*An FPGA based SoC Design for Testing Embedded Automotive Communication Systems employing the FlexRay Protocol*

M. Horauer, F. Rothensteiner, M. Zauner, E. Armengaud,  
A. Steininger, H. Friedl, R. Pallierer

*At-Speed Testing Made Easy*

B. Swanson, M. Lange

*Multilevel Programmierung von Poly Fuses*

J. Fellner, P. Bösmüller

*A SVSP S8-32 Processor Design in 130nm CMOS Technology*

P. Vaclavik, A. Hahn

*Position Detection by Inter Symbol Interference Removal for Engine Applications*

S. Hainz, E. Ofner, D. Hammerschmidt, D. Tatschl,  
T. Werth

*CMOS Device Reliability Models Applied in the ELDO User Defined Reliability Model Tool*

B. Mongellaz, J. Oudinot, C. Descleves

*High-Level Hardware Synthesis of Multi-Rate Filters*

M. Castelli, A. Hradetzky, M. Ley, E. Ofner

*Design of a Simple Ethernet Switch with Extended IEEE 1588 Support*

J. Birli, C. Gemeiner, R. Höller

*Hardware/Software Co-Design of a Realtime-Rendering Architecture for Embedded Systems*

G. Truhlar, T. Pühringer, G. Schedelberger, M. Pfaff, J. Langer